

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-162105

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

G11B 20/10

(21)Application number : 09-326840

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.11.1997

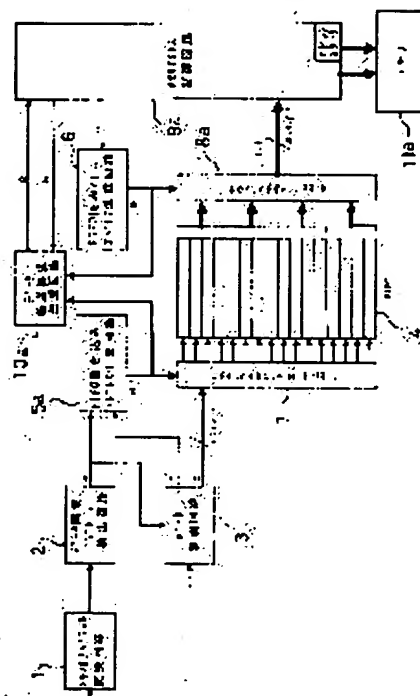
(72)Inventor : NAGAI TAKAHIRO
IJIMA YUKIO
YAMAMOTO GIICHI
YABUNO HIROYUKI
TAKAGI YUJI

(54) DATA TRANSFER CIRCUIT FOR OPTICAL DISK REPRODUCTION APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To allow reproduced data to be more precisely transferred at a higher speed, as compared to a conventional case, when the reproduced data from a disk is transferred to a memory.

SOLUTION: An FIFO(first-in-first-out) 4 is connected to a memory access control circuit 9 with a data bus width of 2 bytes or more. By an FIFO write address generating circuit 5a, the write address (d) of the FIFO 4 is corrected by calculating, as a loss in data, the difference between data transferred normally and a count value of a byte synchronization clock (b) transferred between two data synchronization pattern detecting signals (a) which are output from a data synchronization pattern detecting circuit 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平11-162105

(43)公開日 平成11年(1999)6月18日

(51) Int.Cl.⁸

識別記号

FI

G 1 1 B 20/10

A

G 1 1 B 20/10

審査請求 未請求 請求項の数 8 OL (全 15 頁)

(21)出願番号 特願平9-326840

(22)出願日 平成9年(1997)11月28日

(71) 出國人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 永井 隆弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 飯島 行雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 發明者 山本 義一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 森本・義弘

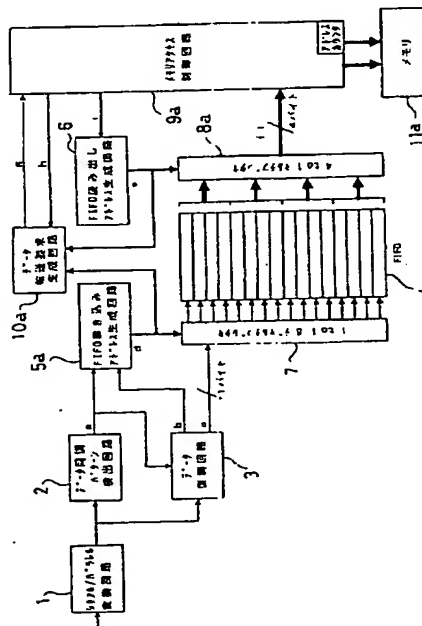
[最終頁に続く](#)

(54)【発明の名称】 光ディスク再生装置のデータ転送回路

(57) 【要約】

【課題】 ディスクからの再生データをメモリに転送する際に、従来に比べてより高速にかつ正確に転送することができる光ディスク再生装置のデータ転送回路を提供する。

【解決手段】 F I F O 4 とメモリアクセス制御回路 9 a とを 2 バイト以上のデータバス幅で接続し、 F I F O 書き込みアドレス生成回路 5 a により、データ同期パターン検出回路 2 から出力された 2 つのデータ同期パターン検出信号 a 間に転送されたバイト同期クロック b のカウンタ値を、正規に転送されてくるデータとの差を計算してデータの不足分として、 F I F O 4 への書き込みアドレス d を補正する。



【特許請求の範囲】

【請求項1】 光ディスク再生装置において、情報の記録媒体である光ディスクからその記録情報に対応して再生され、データ同期パターンにより所定のフレーム長で分割されたデータのビット列を、メモリに転送するデータ転送回路であって、前記ビット列からデータ同期パターンを検出するデータ同期パターン検出手段と、前記ビット列からデータ同期パターンに同期してバイト列を復調するデータ復調手段と、前記バイト列を一時的にバッファリングするFIFOと、前記FIFOへの書き込みアドレスを生成するFIFO書き込みアドレス生成手段と、前記FIFOからの読み出しアドレスを生成するFIFO読み出しアドレス生成手段と、前記メモリへのデータ転送を要求するための信号を生成するデータ転送要求生成手段と、前記データ転送要求生成手段からのデータ転送要求信号を検出して、前記FIFOからのデータを受信し、そのデータを格納する前記メモリのアドレスとともに前記受信データを前記メモリへ転送するメモリアccess制御手段とを備えた光ディスク再生装置のデータ転送回路。

【請求項2】 FIFOとメモリアccess制御手段とは、2バイト幅以上のデータバスで接続されていることを特徴とする請求項1記載の光ディスク再生装置のデータ転送回路。

【請求項3】 データバスは、そのバス幅として、データ同期パターンにより分割されたフレームの長さの約数でないバイト数を有することを特徴とする請求項2記載の光ディスク再生装置のデータ転送回路。

【請求項4】 FIFO書き込みアドレス生成手段は、データ同期パターン検出手段によって出力されたデータ同期パターン検出信号に基づいて、データ同期パターンに続くフレームの先頭データがデータバスに正しく配置されるように、FIFOの書き込みアドレスを補正することを特徴とする請求項3記載の光ディスク再生装置のデータ転送回路。

【請求項5】 FIFO書き込みアドレス生成手段は、データ同期パターン検出信号に基づいてフレームデータの欠落数を計算し、その欠落数分のデータをFIFOに補完することを特徴とする請求項4記載の光ディスク再生装置のデータ転送回路。

【請求項6】 FIFOは、データが読み出された際に固定値に初期化することを特徴とする請求項5記載の光ディスク再生装置のデータ転送回路。

【請求項7】 データ転送要求生成手段は、データ同期パターン検出信号に基づいてフレームデータの欠落を検出し、メモリアccess制御手段に各フレームの先頭データを含むデータ列を転送する直前にデータ転送を一時停止するように構成するとともに、メモリへの前記データ転送の一時停止を検出し、前記メモリアccess制御手段のメモリアドレスを再設定し、前記データ転送要求生成

手段に転送起動を行う転送制御手段を備えたことを特徴とする請求項4記載の光ディスク再生装置のデータ転送回路。

【請求項8】 フレームの先頭データが保存されているFIFOの格納位置を記憶し、前記FIFOからの読み出しアドレスによって示されるデータ中にフレームの先頭データが含まれているか否かを示すフラグを生成するフレーム先頭フラグ生成手段を備え、メモリアccess制御手段は、前記フレーム先頭フラグ生成手段からのフレーム先頭フラグを検出し、フレームの先頭データを含むデータ列を書き込むメモリのアドレスを再設定することを特徴とする請求項4記載の光ディスク再生装置のデータ転送回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光ディスク再生装置において、光ディスクから再生されたデータをメモリに転送するためのデータ転送回路に関するものである。

【0002】

【従来の技術】 近年利用されるようになったDVD-ROMやCD-ROMといった光ディスクのデータは、図8で見られるようなセクタ構造を持っており、それらは複数のフレームに分割されている。各フレームの先頭には、フレームの先頭をあらわすデータ同期パターンが付与されている。これは、再生信号の品質が劣化してデータの欠落や付加が発生した場合であっても、このデータ同期パターンを検出することにより、正しいフレーム先頭位置を検出することを可能にするためである。

【0003】 光ディスクでは、例えばディスクの汚れや傷によって、誤りを含んだデータが再生されることがある。このような場合であっても、あらかじめ付与された誤り訂正コード（パリティ）を利用して正しいデータを復元することができる。しかしながら、データの欠落や付加によってメモリ上のずれた位置に格納されてしまうと、誤りを増加させることとなり、誤り訂正による正しいデータの復元ができなくなる。

【0004】 したがって、光ディスク再生装置においては、データ同期パターンに基づいて再生したデータを、正しくメモリに格納することが重要となる。以下、従来の光ディスク再生装置におけるデータ転送回路について説明する。

【0005】 図9は従来のデータ転送回路の一般的な構成を示すブロック図である。図9において、1は、ディジタル化されたビット列を受けて、パラレルデータに変換するシリアル/パラレル変換回路、2はフレームの始まりを示すデータ同期パターンを検出するデータ同期パターン検出回路、3はデータ同期パターンの検出位置を基準にバイト列のデータへと復調するデータ復調回路、4は、再生されたデータを一時的に格納するためのFIFO（ファーストイン・ファーストアウト）であり、1

バイトのレジスタをn段接続したものである。5はFIFO書き込みアドレス生成回路、6はFIFOからの読み出しアドレスを生成するFIFO読み出しアドレス生成回路、7はFIFOへの書き込みアドレスによりデータの書き込み先を切り替えるマルチプレクサ、8はFIFOからの読み出しアドレスにより1バイトのデータの読み出し先を切り替えるマルチプレクサ、9はメモリアクセス制御回路、10はメモリアクセス制御回路9へのデータ転送要求を行うデータ転送要求生成回路、11はメモリ、12はFIFOから読み出した1バイトのデータがフレームの先頭データであるか否かを示すフラグを生成するフレーム先頭フラグ生成回路である。

【0006】以上のように構成された従来のデータ転送回路について、その動作を以下に説明する。図8に示すような光ディスクから再生されたデータは、アナログ信号処理回路でデジタル化されたビット列へと変換され、図9に示したデータ転送回路に入力される。シリアル/パラレル変換回路1では、入力されたビット列を、後段のデータ同期パターン検出回路2およびデータ復調回路3で利用しやすいように、パラレルデータへと変換する。データ同期パターン検出回路2によってデータ同期パターンを検出し、データ同期パターン検出信号aを出力する。データ復調回路3は、データ同期パターン検出信号aを基準としてフレームに同期したデータの復調を行い、バイト同期クロックbとともに1バイトの復調データcを、FIFO4へと転送する。

【0007】FIFO4へのデータ書き込みは、FIFO書き込みアドレス生成回路5で制御される。これは図10に示すように、バイト同期クロックbによって1ずつインクリメントされるFIFO書き込みアドレスdを出力する書き込みアドレスカウンタ14で構成されている。この書き込みアドレスカウンタ14からのFIFO書き込みアドレスdでマルチプレクサ7を切り替えることによって、FIFO4に書き込まれるレジスタが指定される。これにより、データ復調回路3から復調された復調データcのバイト列は、順次FIFO4に書き込まれる。また、FIFO4からのデータの読み出しは、メモリアクセス制御回路9からのデータ読み出し信号iによって行われ、このデータ読み出し信号iにより、FIFO読み出しアドレス生成回路6を介して、FIFO読み出しアドレスeを1ずつインクリメントしてマルチプレクサ8を切り替えることにより、書き込まれた順にデータバスfに1バイトずつデータを出力する。

【0008】データ転送要求生成回路10では、FIFO書き込みアドレスdとFIFO読み出しアドレスeとの差からFIFO4に保存されているデータ数を算出し、所定数以上（少なくとも1つ以上）のデータが保存されている場合に、メモリアクセス制御回路9へデータ転送要求信号gを出力する。これを見て、メモリアクセ

ス制御回路9は、データバスfの使用権やメモリアクセス権を確保し、データ転送要求信号gへの応答信号であるデータ転送要求応答信号hとデータ読み出し信号iとを出力する。FIFO4からデータバスfを通じて転送されてきたデータは、メモリアクセス制御回路9内のアドレスカウンタで示されたメモリ位置に格納される。

【0009】一方、フレーム先頭フラグ生成回路12では、データ同期パターン検出信号aが入力されると、後続するフレームの先頭データのFIFO4上での位置を記憶する。FIFO読み出しアドレスeにより、記憶されている位置が示された場合には、メモリアクセス制御回路9へフレーム先頭フラグjを同時に送出する。メモリアクセス制御回路9では、このフレーム先頭フラグjを検出し、アドレスカウンタにフレーム先頭データを格納するためのアドレス（1つ前のフレームの先頭アドレスからフレーム長である固定値を加算したもの）を設定し、メモリ11へのデータ転送を行う。

【0010】したがって、データの欠落が発生した場合に、FIFO4に順次蓄積しそれを順次読み出したとしても、フレーム先頭を通知するフラグによってメモリアクセス制御回路9内のアドレスカウンタを更新することにより、メモリ11上の正しい位置への格納を可能としている。

【0011】

【発明が解決しようとする課題】しかしながら上記のような従来のデータ転送回路では、以下のような問題点を有している。この問題点について説明する。

【0012】近年、CD-ROMドライブでは、データ再生速度の向上が強く要求されており、これに対して、図9に示すデータ転送回路においては、FIFO4からメモリアクセス制御回路9へのデータ転送を複数バイト単位で行うことにより、メモリ11へのデータ転送能力を高めることができる。

【0013】ここで、光ディスクとして図8に示すようなDVD-ROMフォーマットのディスクを再生する場合を説明する。この場合では、フレーム長は93B（Bは「バイト」を略記したものであり、データ同期パターン2Bを含む）であり、このうち91バイトのデータがデータ転送回路のFIFO4へ転送される。

【0014】このようにしてFIFO4に転送された91バイトのデータを、FIFO4から例えば4バイト幅のデータバスでメモリアクセス制御回路9を介して、メモリ11へ転送するようにした場合について、図11を用いて説明する。

【0015】ディスクから正しいフレーム長で再生されたデータは、1フレームあたり91バイト長のデータが連続して送られてくる。これらのデータは、FIFO4に一時的にためられ、メモリアクセス制御回路9によって、4バイトずつ読み出されメモリ11に転送される。

【0016】この時、各フレームの先頭データ（データ

10

20

30

40

50

1)は、図11(a)に示したように、各フレーム毎でバス上の異なった位置に配置される。例えば、フレーム#N-1を第1フレームとして、その第1フレームではデータバスの1バイト目に配置されたが、第2フレーム以降では、4バイト目、3バイト目、2バイト目、...のように配置される。

【0017】ここで、ディスクからのデータに欠落が発生した場合、FIFO4に書き込まれた順にデータバス上への配置も行われるため、図11(b)に示したように、欠落が検出されたフレーム以降のデータ(フレーム#Nの1バイト目以降のデータ)が、図11(a)に示した場合からデータバス上のずれた位置に配置されてしまう。

【0018】したがって、データ同期パターンを検出しても、フレーム番号毎にそのフレーム先頭データをデータバスの対応した位置に配置できないので、メモリ11に正しく格納できないという問題点が発生する。

【0019】本発明は、上記従来の問題点を解決するもので、ディスクからの再生データをメモリに転送する際に、従来に比べてより高速にかつ正確に転送することができる光ディスク再生装置のデータ転送回路を提供する。

【0020】

【課題を解決するための手段】上記の課題を解決するために本発明の光ディスク再生装置のデータ転送回路は、データバス上の正しい位置にフレームの先頭データが配置されるようにFIFOの書き込みアドレスを補正し、そのフレーム先頭データのメモリへの格納にあわせてメモリアクセス制御手段のメモリアドレスを補正することにより、ディスクからの再生データを正しいメモリ位置へ格納することを特徴とする。

【0021】以上により、ディスクからの再生データをメモリに転送する際に、従来に比べてより高速にかつ正確に転送することができる。

【0022】

【発明の実施の形態】本発明の請求項1に記載の光ディスク再生装置のデータ転送回路は、光ディスク再生装置において、情報の記録媒体である光ディスクからその記録情報に対応して再生され、データ同期パターンにより所定のフレーム長で分割されたデータのビット列を、メモリに転送するデータ転送回路であって、前記ビット列からデータ同期パターンを検出するデータ同期パターン検出手段と、前記ビット列からデータ同期パターンに同期してバイト列を復調するデータ復調手段と、前記バイト列を一時的にバッファリングするFIFOと、前記FIFOへの書き込みアドレスを生成するFIFO書き込みアドレス生成手段と、前記FIFOからの読み出しアドレスを生成するFIFO読み出しアドレス生成手段と、前記メモリへのデータ転送を要求するための信号を生成するデータ転送要求生成手段と、前記データ転送要

求生成手段からのデータ転送要求信号を検出して、前記FIFOからのデータを受信し、そのデータを格納する前記メモリのアドレスとともに前記受信データを前記メモリへ転送するメモリアクセス制御手段とを備えた構成とする。

【0023】請求項2に記載の光ディスク再生装置のデータ転送回路は、請求項1記載のFIFOとメモリアクセス制御手段とは、2バイト幅以上のデータバスで接続されている構成とする。

10 【0024】請求項3に記載の光ディスク再生装置のデータ転送回路は、請求項2記載のデータバスは、そのバス幅として、データ同期パターンにより分割されたフレームの長さの約数でないバイト数を有する構成とする。

【0025】請求項4に記載の光ディスク再生装置のデータ転送回路は、請求項3記載のFIFO書き込みアドレス生成手段は、データ同期パターン検出手段によって出力されたデータ同期パターン検出信号に基づいて、データ同期パターンに続くフレームの先頭データがデータバスに正しく配置されるように、FIFOの書き込みアドレスを補正する構成とする。

20 【0026】請求項5に記載の光ディスク再生装置のデータ転送回路は、請求項4記載のFIFO書き込みアドレス生成手段は、データ同期パターン検出信号に基づいてフレームデータの欠落数を計算し、その欠落数分のデータをFIFOに補完する構成とする。

【0027】請求項6に記載の光ディスク再生装置のデータ転送回路は、請求項5記載のFIFOは、データが読み出された際に固定値に初期化する構成とする。請求項7に記載の光ディスク再生装置のデータ転送回路は、請求項4記載のデータ転送要求生成手段は、データ同期パターン検出信号に基づいてフレームデータの欠落を検出し、メモリアクセス制御手段に各フレームの先頭データを含むデータ列を転送する直前にデータ転送を一時停止するように構成するとともに、メモリへの前記データ転送の一時停止を検出し、前記メモリアクセス制御手段のメモリアドレスを再設定し、前記データ転送要求生成手段に転送起動を行う転送制御手段を備えた構成とする。

40 【0028】請求項8に記載の光ディスク再生装置のデータ転送回路は、請求項4記載のフレームの先頭データが保存されているFIFOの格納位置を記憶し、前記FIFOからの読み出しアドレスによって示されるデータ中にフレームの先頭データが含まれているか否かを示すフラグを生成するフレーム先頭フラグ生成手段を備え、メモリアクセス制御手段は、前記フレーム先頭フラグ生成手段からのフレーム先頭フラグを検出し、フレームの先頭データを含むデータ列を書き込むメモリアドレスを再設定する構成とする。

50 【0029】以上の構成によると、データバス上の正しい位置にフレームの先頭データが配置されるようにFIFO

FIFOの書き込みアドレスを補正し、そのフレーム先頭データのメモリへの格納にあわせてメモリアクセス制御手段のメモリアドレスを補正することにより、ディスクからの再生データを正しいメモリ位置へ格納する。

【0030】以下、本発明の実施の形態を示す光ディスク再生装置のデータ転送回路について、図面を参照しながら具体的に説明する。

(実施の形態1) 本発明の実施の形態1の光ディスク再生装置のデータ転送回路を説明する。

【0031】図1は本実施の形態1の光ディスク再生装置のデータ転送回路の構成を示すブロック図である。図1において、1はシリアル/パラレル変換回路、2はデータ同期パターン検出回路、3はデータ復調回路、4は1バイトのレジスタがn段(1フレームのデータ数(DVDでは91B以上)の段数が望ましい)接続されて構成されたFIFO(ファーストイン・ファーストアウト)、5aはFIFO4の書き込みアドレスを生成するFIFO書き込みアドレス生成回路、6はFIFO4の読み出しアドレスを生成するFIFO読み出しアドレス生成回路、7はFIFO4の書き込みアドレスにより再生データを書き込むレジスタを選択するデマルチプレクサ、8aはFIFO4の読み出しアドレスによりメモリアクセス制御回路9aに転送するデータを選択するマルチプレクサ、9aはメモリアクセス制御回路、10aはメモリアクセス制御回路9aへの転送要求を行うデータ転送要求生成回路、11aはメモリである。

【0032】また、信号線aはデータ同期パターン検出信号、bはバイト同期クロック、cは1バイト幅の復調データ、dはFIFO書き込みアドレス、eはFIFO読み出しアドレス、f1は4バイト幅のデータバス、gはメモリアクセス制御回路9aへのデータ転送要求信号、hはデータ転送要求信号gに対するメモリアクセス制御回路9aからのデータ転送要求応答信号、iはFIFO4からデータを読み出すためのデータ読み出し信号である。

【0033】以上のように構成されたデータ転送回路の動作は概略以下のようなものである。図8に示すような光ディスクから再生されたシリアルデータは、アナログ信号処理が行われた後、デジタルのビット列としてシリアル/パラレル変換回路1に入力され、これをパラレル形式のデータに変換する。データ同期パターン検出回路2では、パラレルデータからフレームの先頭を示すデータ同期パターンを検出する。データ復調回路3はパラレルデータをこのデータ同期パターン検出信号aを基準として復調処理を行い、復調データcを得る。復調された復調データcはFIFO4に転送され、FIFO書き込みアドレスdで指定されたレジスタにバイト同期クロックbのタイミングで保存される。同時に、FIFO書き込みアドレス生成回路5aでは書き込みアドレスが1インクリメントされ、次のレジスタを指すようになる。

【0034】データ転送要求生成回路10aでは、FIFO書き込みアドレスdとFIFO読み出しアドレスeの差から、現在FIFO4に保存されているバイト数を計算し、FIFO4の中に転送に必要なバイト数(ここでは少なくともバス幅の4バイト)が保存されると、メモリアクセス制御回路9aへデータ転送要求信号gを出力する。メモリアクセス制御回路9aは、メモリ11aおよびデータバスf1の使用状態を見て、今回の転送にそれらを割り当て、データ転送要求信号gに対するデータ転送要求応答信号hを返すとともに、FIFO4に対するデータ読み出し信号iを出力する。

【0035】FIFO4からの読み出しでは、FIFO読み出しアドレスeで示されたデータバス幅(4バイト幅)のレジスタが選択され、データバスf1上に出力され、メモリアクセス制御回路9aを通じて、メモリ11へと転送される。読み出しの終了後、FIFO読み出しアドレス生成回路6の読み出しアドレスは、次に転送すべきレジスタ群を示すアドレスへと更新される。

【0036】本実施の形態1において、FIFO書き込みアドレス生成回路5aを、前述した問題を解決するために、従来例で説明した図10に示すFIFO書き込みアドレス生成回路5に対して、図2に示すような構成へと変更している。図2において、15aはフレーム内で転送を行ったバイト数をカウントするバイトカウンタ、14aはFIFO4への書き込みアドレスを示す書き込みアドレスカウンタである。ここでは、データ同期パターンが検出されてから次のデータ同期パターンが検出されるまでの間に、データ復調回路3から転送されてきたデータ数をバイトカウンタ15aでカウントし、後者のデータ同期パターンが検出された時点で、本来転送されてくるべきデータ数(DVDでは91B)とバイトカウンタ15aのカウント数との比較をSUBにより行い、データの欠落数を算出する。そして、このデータ欠落数をADDにより書き込みアドレスカウンタ14aに加算して、書き込みアドレスの補正を行う。

【0037】この結果、データの欠落が発生して本来のフレーム長のデータが再生されない場合であっても、足りない分のデータが書き込みアドレスの補正により補完されるため、常に一定バイト数(DVDでは91B)のデータをFIFO4に書き込むことができる。したがって、FIFO4から読み出されるデータは、常に正常なフレーム長のデータが読み出されることになり、順次データバスf1上およびメモリ11aへと配置していくことにより、正しいメモリ格納が可能となる。

【0038】また、FIFO4からデータが読み出された後に、読み出されたレジスタを初期化する(特定のパターンをレジスタに書く)ことによって、それ以前に再生したデータとの依存関係をなくすることができる。つまり、書き込みアドレスの補正のみを行った場合では、データの欠落数を書き込みアドレスに加算しただけで、そ

れに対応するFIFO4のレジスタにはデータの書き込みは行われない。したがって、それらのレジスタには以前に書き込まれたデータがそのまま保持されており、読み出し時にはこれらを転送することになる。

【0039】以上のようにして、直前に再生されているデータの値によってメモリ11aに格納される値が変化し、バイトエラーの発生数が増加するなどの影響が出るが、これに対して、読み出し後にFIFO4のレジスタを初期化することによって、書き込みアドレスの補正が行われた場合においても、以前の状態に影響しない再生が可能となる。

【0040】その結果、ディスクからの再生データをメモリに転送する際に、従来に比べてより高速にかつ正確に転送することができる。

(実施の形態2) 本発明の実施の形態2の光ディスク再生装置のデータ転送回路を説明する。

【0041】図3は本実施の形態2の光ディスク再生装置のデータ転送回路の構成を示すブロック図である。図3において、実施の形態1の場合の構成を示す図1との相違点は、図4に示すFIFO書き込みアドレス生成回路5b内の書き込みアドレスカウンタ14bの再設定を行うための転送制御手段として、MPU(マイクロ・プロセッシング・ユニット)13が追加され、FIFO書き込みアドレス生成回路5b、メモリアクセス制御回路9bおよびデータ転送要求生成回路10bが一部変更されている点である。

【0042】図3に示すFIFO書き込みアドレス生成回路5bは図4に示すような構成となっている。図4において、15aはフレーム内で転送を行ったバイト数をカウントするバイトカウンタ、14bはFIFO4の書き込みアドレスを示す書き込みアドレスカウンタである。17bは書き込みアドレス補正回路であり、書き込みアドレスカウンタ14bに加算されるアドレス補正値を算出するものである。18bはMPU13への割り込み信号を生成する割り込み生成回路である。

【0043】基本的な動作は実施の形態1で説明したものと同様であるので、ここでは主として異なる動作について説明する。ここでは、データ同期パターンが検出されてから次のデータ同期パターンが検出されるまでの間に、データ復調回路3から転送されてきたデータ数をバイトカウンタ15aでカウントし、後者のデータ同期パターンが検出された時点で、本来転送されてくるべきデータ数(DVDでは91B)とバイトカウンタ15aによるカウント数との比較をSUBにより行い、データの欠落数を算出する。

【0044】そして、このデータ欠落数、フレームカウンタ16bによるフレーム数および書き込みアドレスカウンタ14bによる書き込みアドレスとから、書き込みアドレス補正回路17bにより、次のフレームの先頭データがデータバスf1中に配置される位置を計算して、

現在との差を補正値として出力し、ADDにより書き込みアドレスカウンタ14bに加算し、書き込みアドレスカウンタ14bにより補正された書き込みアドレスを再生生成する。この補正値の算出方法としては、欠落数をバス幅で割り算し、その余りを利用する方法や、フレームカウンタ16bの値からデータバスf1上に配置されるべき位置を求め、現在のアドレスで配置されるデータバスf1上の差を利用する方法などがある。

【0045】一方、データ同期パターン検出信号aが入力されたタイミングで、割り込み生成回路18bにより、データ欠落数がCMPにおける確認の結果0バイトでない場合には、メモリアドレスの再設定要求として割り込み信号kを出力する。データ転送要求生成回路10bでは、上記の割り込み信号kを検出すると、直前のフレームのデータをすべて転送した後、データ転送要求信号gの出力を一旦停止し、MPU13からの転送開始要求を待つ。

【0046】MPU13では、割り込み信号kを検出すると、図5に示す手順に従って、FIFO書き込みアドレス生成回路5bのフレームカウンタ16bから次に転送されるフレームの番号を読み出し、その値からメモリ11a上のアドレスを計算する。それをメモリアクセス制御回路9b内のメモリ11aに対するアドレスカウンタに設定し、データ転送要求生成回路10bの転送再起動を要求する。これによって、FIFO4からはフレーム先頭データを含むバイト列がメモリアクセス制御回路9bに転送されはじめ、MPU13によって設定されたメモリアドレスから順にデータをメモリ11aへと格納する。

【0047】以上のようにして、フレームの先頭データに対して、常にデータバスf1中の正しい位置に配置することができ、MPU13によってフレームの先頭データ以降のデータが格納されるメモリアドレスを制御することによって、メモリ11a上の正しい位置にデータを格納することができる。

【0048】その結果、ディスクからの再生データをメモリに転送する際に、従来に比べてより高速にかつ正確に転送することができる。

(実施の形態3) 本発明の実施の形態3の光ディスク再生装置のデータ転送回路を説明する。

【0049】図6は本実施の形態3の光ディスク再生装置のデータ転送回路の構成を示すブロック図である。図6において、実施の形態1の場合の構成を示す図1との相違点は、FIFO4に転送されるデータがフレームの先頭であることを示すフラグを生成するフレーム先頭フラグ生成回路12cが追加され、FIFO書き込みアドレス生成回路5cおよびメモリアクセス制御回路9cが一部変更されている点である。

【0050】図6に示すFIFO書き込みアドレス生成回路5cは図7に示すような構成となっている。これ

は、実施の形態2で示した図4の構成から、割り込み信号kを生成する割り込み生成回路18bを取り除いたものとなっている。したがって、実施の形態2で示したものと基本的に同じ動作をする。

【0051】基本的な動作は、実施の形態1および実施の形態2で説明したものと同様であるので、ここでは主として異なる部分の動作について説明する。フレーム先頭フラグ生成回路12cでは、データ同期パターン検出信号aが入力されると、フレーム先頭データが格納されるFIFO4のレジスタ位置を記憶する。そして、FIFO読み出しアドレス生成回路6からの読み出しアドレスによって指定されたレジスタ群に、上記のようにしてフレーム先頭フラグ生成回路12cが記憶したフレーム先頭データが格納されたレジスタ位置が含まれる場合には、フレーム先頭フラグ生成回路12cから、データバスf1に出力されるデータにフレーム先頭データが含まれることを示すフレーム先頭フラグjを、メモリアクセス制御回路9cに出力する。

【0052】フレーム先頭フラグjの生成には、書き込みアドレスに対応したフラグを格納するためのレジスタを用意し、フレームの先頭データが現れるレジスタにフラグをセットし、読み出し時には読み出しアドレスで示されたフラグレジスタの保存されている値を利用する方法や、書き込みアドレスをレジスタに保存し、読み出しアドレスにレジスタの保存した値が含まれた場合にフラグをセットする方法などがある。

【0053】メモリアクセス制御回路9cでは、フレーム先頭フラグjを検出すると、メモリアドレスとして、フレーム先頭データを含むデータ列を格納するためのメモリアドレスを設定し、データの格納を行う。ここでは、メモリアドレスを示すレジスタを、1つ前のフレームの先頭アドレスからフレーム長である固定値を単に加算したもので更新するのではなく、データバスf1で転送されてきたバス幅（ここでは4バイト）の先頭データが格納される位置を示す値に更新する。

【0054】以上のようにして、フレームの先頭データに対して、常にデータバス幅中の正しい位置に格納することができ、さらに、フレーム先頭フラグjによってメモリアドレスを設定することにより、メモリ11上の正しい位置にデータを格納することができる。

【0055】その結果、ディスクからの再生データをメモリに転送する際に、従来に比べてより高速にかつ正確に転送することができる。

【0056】

【発明の効果】以上のように本発明によれば、データバス上の正しい位置にフレームの先頭データが配置されるようにFIFOの書き込みアドレスを補正し、そのフレーム先頭データのメモリへの格納にあわせてメモリアクセス制御手段のメモリアドレスを補正することにより、

ディスクからの再生データを正しいメモリ位置へ格納することができる。

【0057】そのため、ディスクからの再生データをメモリに転送する際に、従来に比べてより高速にかつ正確に転送することができる。その結果、データバス幅を拡張したメモリへの高速なデータ転送を行うことが可能な優れたデータ転送回路を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の光ディスク再生装置のデータ転送回路の構成を示すブロック図

【図2】同実施の形態1におけるFIFO書き込みアドレス生成回路の構成を示すブロック図

【図3】本発明の実施の形態2の光ディスク再生装置のデータ転送回路の構成を示すブロック図

【図4】同実施の形態2におけるFIFO書き込みアドレス生成回路の構成を示すブロック図

【図5】同実施の形態2におけるMPUによる処理を示すフロー図

【図6】本発明の実施の形態3の光ディスク再生装置のデータ転送回路の構成を示すブロック図

【図7】同実施の形態3におけるFIFO書き込みアドレス生成回路の構成を示すブロック図

【図8】DVD-ROMディスクの概略構成図

【図9】従来の光ディスク再生装置のデータ転送回路の構成を示すブロック図

【図10】同従来例におけるFIFO書き込みアドレス生成回路の構成を示すブロック図

【図11】同従来例のデータ転送回路における問題点の説明図

【符号の説明】

1 シリアル／パラレル変換回路

2 データ同期パターン検出回路

3 データ復調回路

4 FIFO

5 a, 5 b, 5 c FIFO書き込みアドレス生成回路

6 FIFO読み出しアドレス生成回路

7 デマルチプレクサ

8 a マルチプレクサ

9 a, 9 b, 9 c メモリアクセス制御回路

10 a, 10 b データ転送要求生成回路

11, 11 a メモリ

12 c フレーム先頭フラグ生成回路

13 MPU

14 a, 14 b 書き込みアドレスカウンタ

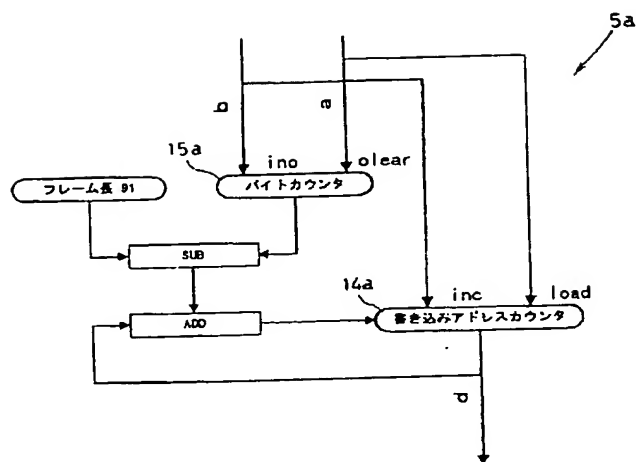
15 a バイトカウンタ

16 b フレームカウンタ

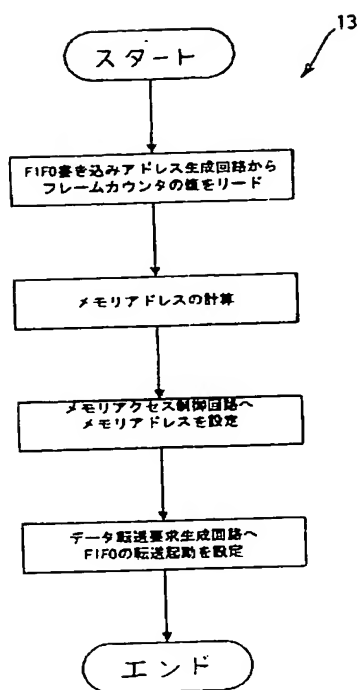
17 b 書き込みアドレス補正回路

18 b 割り込み生成回路

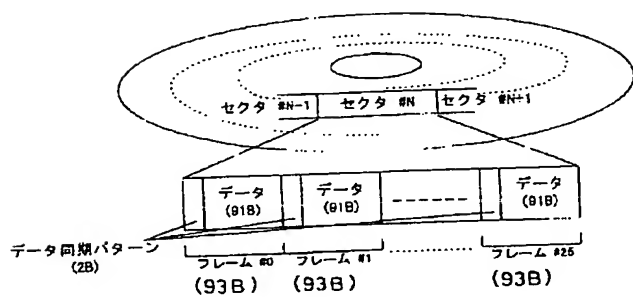
【図2】



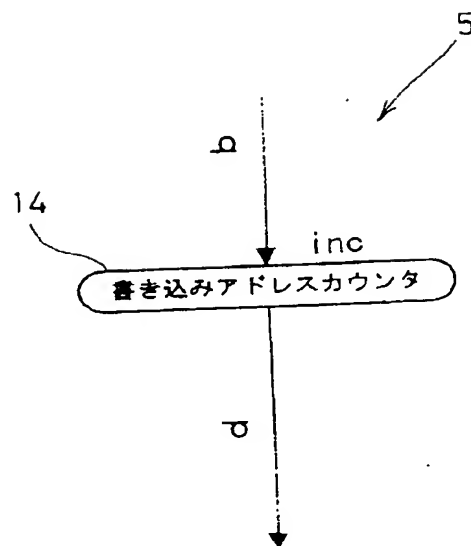
【図5】



【図8】

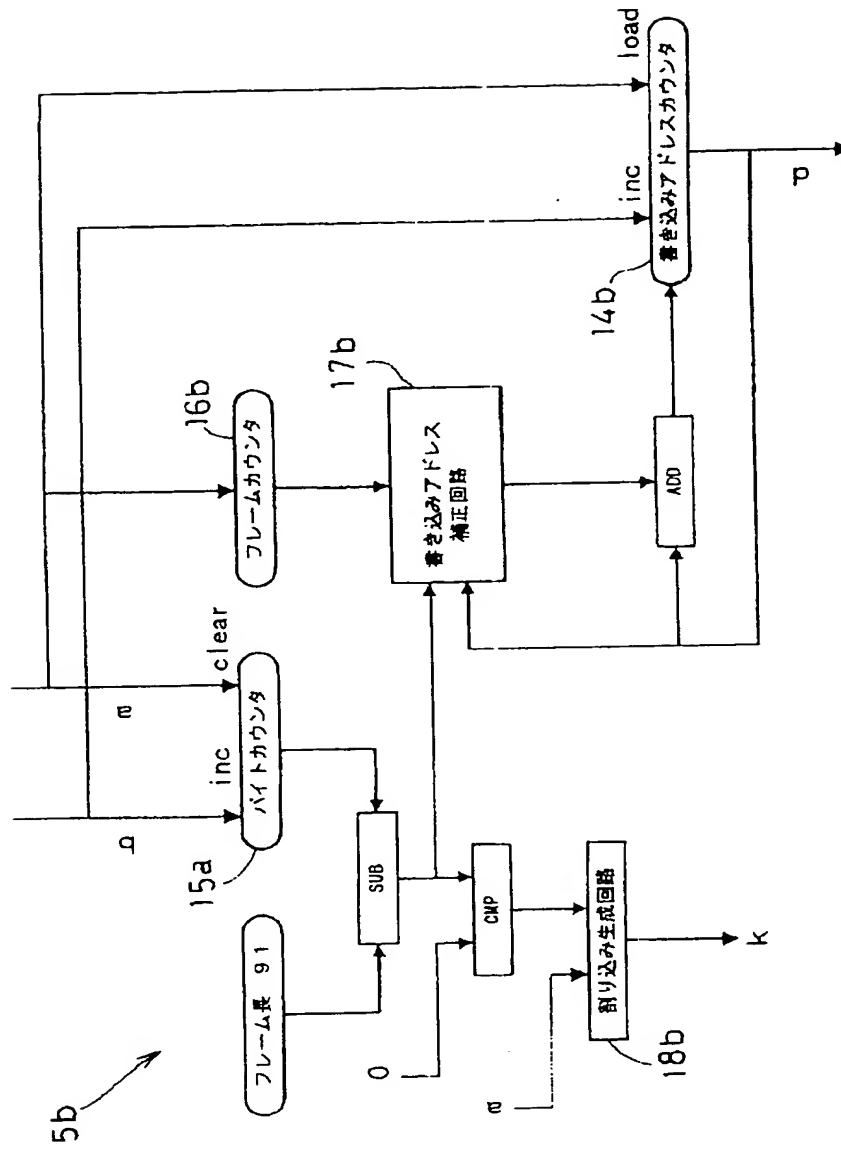


【図10】



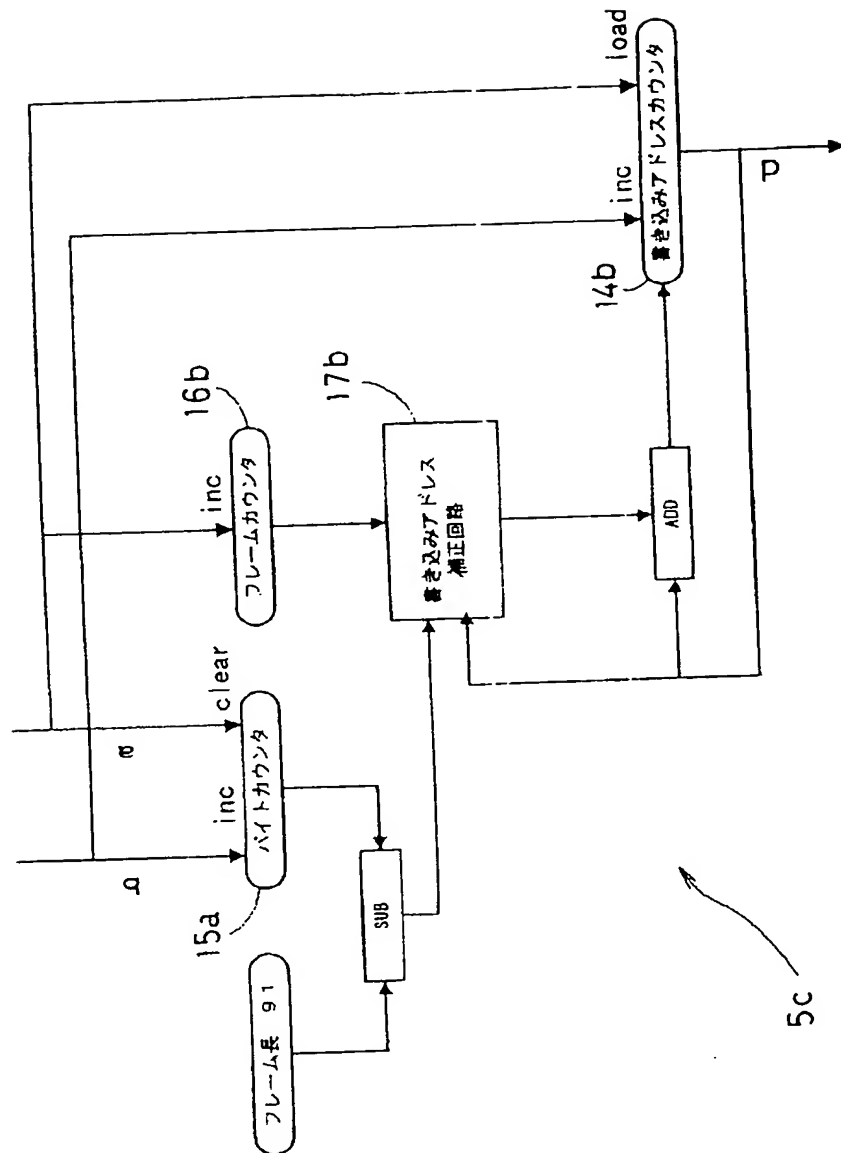
[illegible]

【図4】



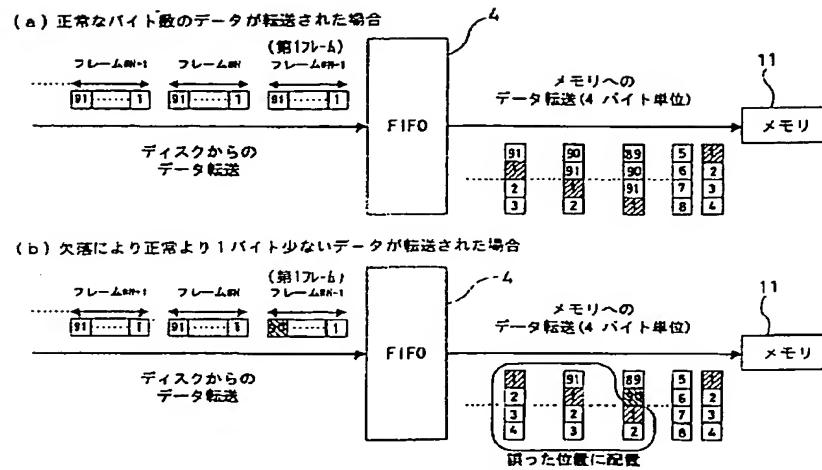
(13)

【図7】



[illegible]

【図11】



フロントページの続き

(72)発明者 藪野 寛之
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 高木 裕司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

特開平 11-162105

[0037]

As a result, even in the case of the occurrence of a data loss and the resulting failure in reproducing data having the original frame length, since the data corresponding to the loss is interpolated by the interpolation of writing addresses, it is possible to write data always having a constant number of bytes (91B in DVDs) in the FIFO4. Therefore, the data to be read from the FIFO4 is always allowed to have a normal frame length, and by arranging these on a sequential data bus f1 and a memory 11a, it is possible to carry out an appropriate storing operation to a memory.

[0038]

Moreover, after data has been read from the FIFO4, by initializing (writing a specific pattern in the register) the register that has been read, it becomes possible to eliminate the dependent relationship on data that has been reproduced before the reading process. In other words, in the case when only the correction of the writing address is carried out, although only the number of data losses is added to the writing address,

no data writing operation is carried out on the corresponding register of the FIFO4. Therefore, in each register, the data previously written therein is maintained, as it is, and at the time of a reading operation, these are transferred.

[0039]

As described above, the value stored in the memory 11a is varied depending on the value of data that has been reproduced immediately before, and the resulting effect, such as a change in the number of occurrence in byte errors, occurs; however, by initializing the register of the FIFO4 after a read-out process, it becomes possible to carry out a reproducing process that is less susceptible to the previous state even when the correction of the writing addresses has been made.